

ПРОЕКТИРОВАНИЕ ДЕШИФРАТОРА АДРЕСА РАЗЛИЧНЫМИ МЕТОДАМИ

Цель работы: изучить различные методы построения дешифратора

Проектирование дешифратора адреса методом линейной выборки

Всем устройствам, которые связаны с микропроцессором, присвоены определённые адреса. Этот адрес точно определяет ячейку памяти или порт ввода/вывода, к которому микропроцессору необходимо получить доступ. Адресная шина микропроцессора, состоящая из 16 линий, обеспечивает прямую адресацию $2^{16} = 64\text{к}$ (65536) ячеек памяти и портов ввода/вывода. Эти линии имеют обозначения A0, A1, A2...A15, причём A0 соответствует самому младшему разряду.

Дешифратор адреса формирует сигналы выборки устройства, когда на адресной шине появляется определенный адрес. Для примера на рисунке 1 показан дешифратор адреса 3000, который в двоичной системе представляется числом (0011 0000 0000 0000). Выход этого дешифратора находится в состоянии «ИСТИНА» (логический ноль) только тогда, когда именно данный адрес поступает на адресную шину. Этот выходной сигнал используется затем для разблокирования порта, которому присвоен адрес 3000.

Существует несколько методов декодирования адреса. Выбор метода в каждом конкретном случае зависит от многих факторов, в том числе от ёмкости памяти, от количества внешних устройств, от потребности в расширении системы, от типов запоминающих устройств и устройств ввода/вывода, а также от требуемого быстродействия.

Линейная выборка, простейший из всех методов декодирования, не связана с использованием логических дешифраторов адреса. Старшие разряды адреса при этом методе непосредственно определяют выбор конкретной микросхемы. На рисунке 2 представлен пример декодирования методом линейной выборки. Выборка ОЗУ осуществляется всякий раз, когда сигнал A15 имеет высокий уровень, что соответствует всем адресам от 8000 до FFFF. Выборка ПЗУ производится всегда, когда сигнал A14 имеет высокий уровень, что справедливо для адресов от 4000 до 7FFF.

ПЗУ выбирается также в том случае, если оба сигнала A14 и A15 имеют высокий уровень, что соответствует адресам от C000 до FFFF, перекрещивающимся с адресным пространством ОЗУ. Поэтому и то, и другое ЗУ оказываются разблокированными, если предпринимается попытка выполнить считывание по какому-либо из пересекающихся адресов, что неизбежно должно привести к конфликтной ситуации на шине данных. Из-за этого программы никогда не должны производить считывание по адресу, в котором оба старших разряда соответствуют "1". Другой недостаток метода линейной выборки состоит в том, что большая часть адресного пространства оказывается неиспользуемой и, следовательно, этот метод пригоден только для систем, не требующих большого объёма памяти.

ЗАДАНИЕ:

- Получите у преподавателя шестнадцатеричный адрес. Изобразите дешифратор адреса, используя в качестве примера рисунок 1.
- Зарисуйте дешифратор, работающий по принципу линейной выборки. Каковы недостатки этого метода?

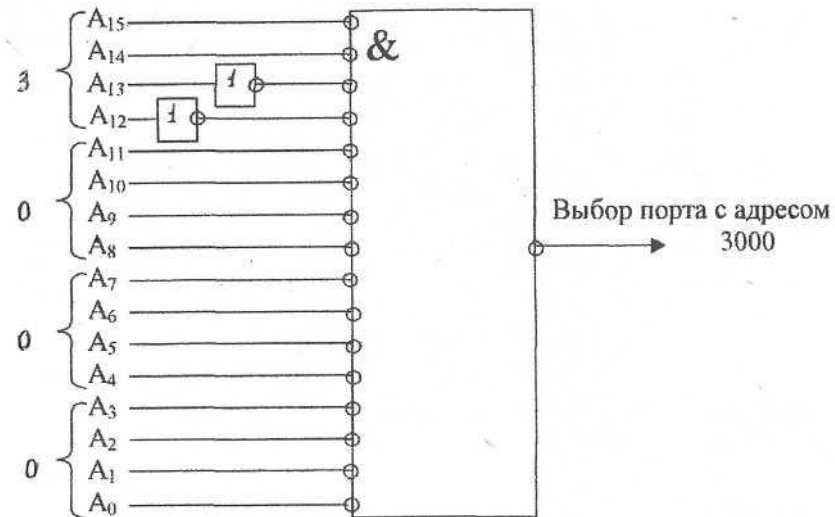


Рисунок 1

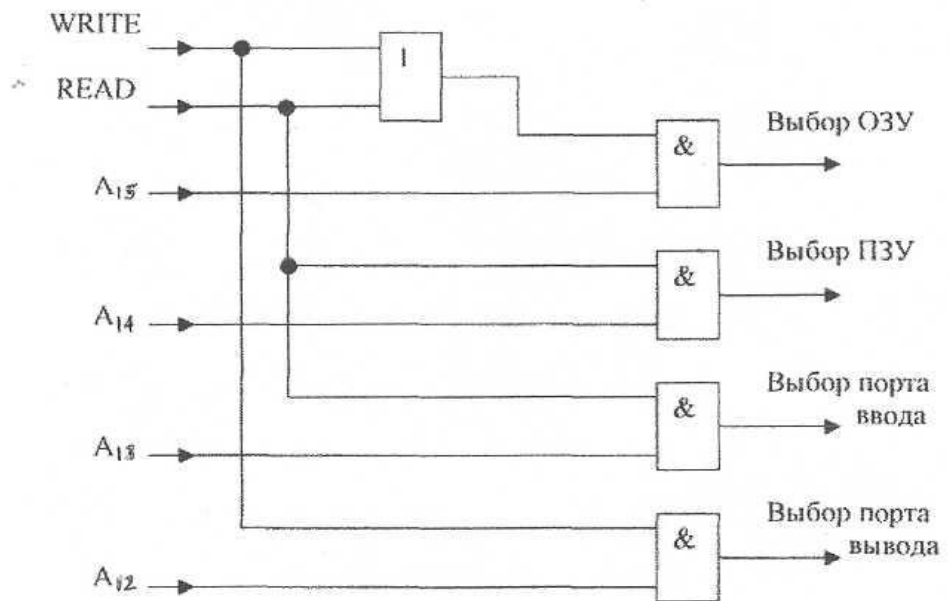


Рисунок 2

Проектирование дешифратора адреса с помощью логического компаратора

Один из наиболее простых и гибких методов декодирования связан с использованием логического компаратора, который каждый раз обеспечивает выбор одного из 2^N возможных адресных полей при наличии N адресных входов.

На рисунке 3 показана схема, которая формирует сигнал выбора конкретного устройства системы по шести старшим разрядам адреса. Для этого сигнал каждого входа A компаратора сравнивается с сигналом соответствующего ему входа B . Когда все они совпадают (т.е. совпадают все шесть пар входных сигналов), на выходе компаратора появляется сигнал низкого уровня. Для установки уровня логических сигналов на входах B компаратора используются переключатели.

Этот метод особенно полезен в тех случаях, когда на платах ЗУ и внешних устройствах имеются переключатели или перемычки, при помощи которых в системе задаются адреса каждой платы.

ЗАДАНИЕ:

Получите у преподавателя задание. Изобразите схему, которая формирует сигнал выбора устройства по шести старшим разрядам адреса. Установите переключатели в положение, соответствующее адресу устройства.

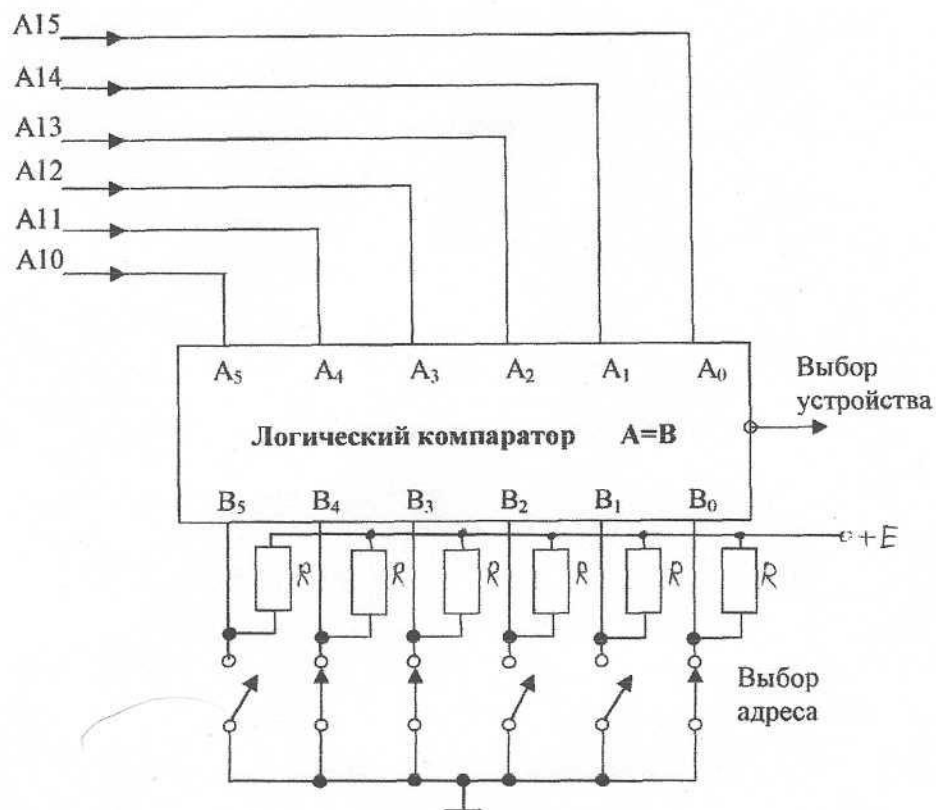


Рисунок 3

Проектирование дешифратора адреса с применением комбинационных логических схем

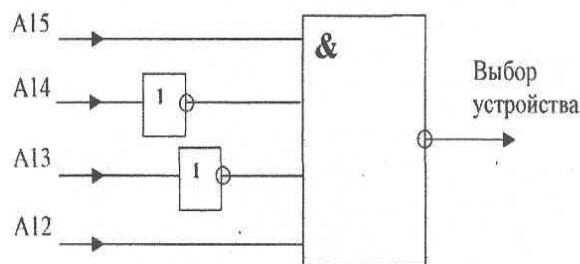


Рисунок 4

В системах с весьма ограниченными требованиями к схемам декодирования часто применяются стандартные логические схемы.

На рисунке 4 показан вентиль И-НЕ на 4 входа с предшествующими ему инверторами, который декодирует адреса от 9000 до 9FFF. Низкий уровень выходного сигнала устанавливается тогда, когда адресные линии A12-A15 находятся в состоянии 1001. Инвертируя, либо не инвертируя те или иные адресные входы такого вентиля, можно формировать разрешающие сигналы для любого из устройств.

ЗАДАНИЕ:

- Получите у преподавателя адреса. Изобразите вентиль на 4 входа с инверторами, который декодирует указанные адреса.
- Какой способ декодирования из изученных трех имеет наибольшее количество недостатков?
- Какой (какие) методы декодирования используют всё адресное пространство, а какой (какие) только меньшую его часть?